

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168042

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 21/205

H01L 33/00

H01S 5/323

(21)Application number : 11-353044

(71)Applicant : MITSUBISHI CABLE IND LTD

(22)Date of filing : 13.12.1999

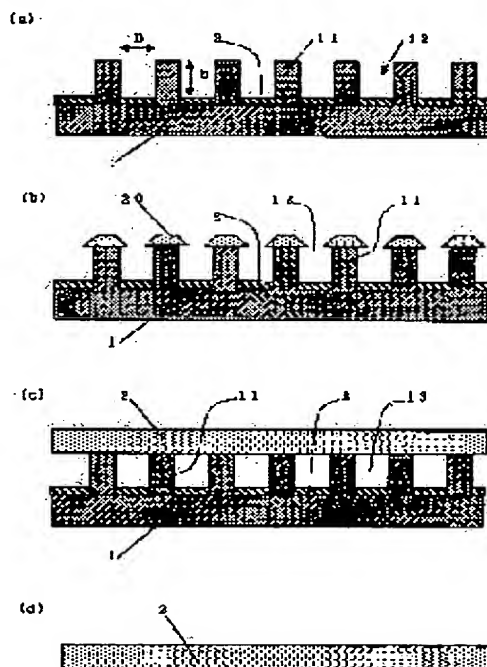
(72)Inventor : OKAGAWA HIROAKI  
TADATOMO KAZUYUKI  
OUCHI YOICHIRO  
KOTO MASAHIRO

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR CRYSTAL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing semiconductor crystal by which a large-area GaN crystal can be manufactured and various problems caused by ELO growth using an ordinary mask layer can be avoided, and then, the manufacturing process of the GaN crystal can be simplified.

**SOLUTION:** In the method of manufacturing semiconductor crystal, a substrate 1 having a recessed and projecting growing surface and carrying a mask 3 on the recessed surface 12 is used as shown in Fig. (a). When vapor phase growth is performed by using the substrate 1, crystal growth occurs only from the tops of the projecting sections 11 due to presence of the mask 3. As shown in Fig. (b), therefore, crystal units 20 occur on the tops of the projecting sections 11 when the crystal growth is started and, as the crystal growth continues, films horizontally grown from the tops of the projecting sections 11 are joined together and, finally, a semiconductor crystal 2 is grown so as to cover the recessed and projecting sections of the substrate 1 by leaving cavity sections 13 in the recessed sections as shown in Fig. (c). Thereafter, the crystal 2 is separated from the substrate 1 at the cavity sections 13 as shown in Fig. (d).



## LEGAL STATUS

[Date of request for examination]

26.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3441415

[Date of registration]

20.06.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168042

(P2001-168042A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 1
33/00		33/00	C 5 F 0 4 5
H 0 1 S 5/323		H 0 1 S 5/323	5 F 0 7 3

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-353044

(22) 出願日 平成11年12月13日 (1999. 12. 13)

(71) 出願人 000003263

三菱電線工業株式会社

兵庫県尼崎市東向島西之町 8 番地

(72) 発明者 岡川 広明

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

(72) 発明者 只友 一行

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

(72) 発明者 大内 洋一郎

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

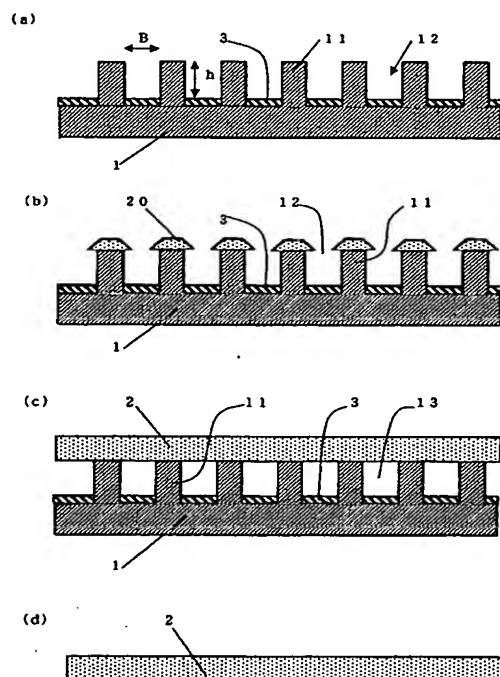
最終頁に続く

(54) 【発明の名称】 半導体結晶の製造方法

(57) 【要約】

【課題】 大面積の G a N 結晶を得ること、及び通常のマスク層を用いる E L O 成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ること。

【解決手段】 (a) 図に示すように、成長面が凹凸面とされ、凹面 1 2 にマスク 3 が形成された基板 1 を用いる。この基板を用いて気相成長した場合、マスク 3 が存在するため、凸部 1 1 の上方部からしか結晶成長が起こらない。従って (b) 図に示すように、結晶成長開始時は結晶単位 2 0 が発生し、さらに結晶成長を続けると凸部 1 1 の上方部を起点とし横方向に成長した膜がつながって、やがて (c) 図のように凹部に空洞部 1 3 を残したまま、基板 1 の凹凸面を覆うように半導体結晶 2 を成長する。しかる後、(d) 図のように空洞部 1 3 の部分において、半導体結晶 2 を分離する。



## 【特許請求の範囲】

【請求項1】 基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面が半導体結晶で覆われると共に、この半導体結晶層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において半導体結晶と基板とを分離することを特徴とする半導体結晶の製造方法。

【請求項2】 上記半導体結晶が  $\text{InGaAlN}$  であることを特徴とする請求項1記載の半導体結晶の製造方法。

【請求項3】 上記基板の結晶成長面の凸部が、平行なストライプ形状からなる凸部であることを特徴とする請求項1記載の半導体結晶の製造方法。

【請求項4】 上記半導体結晶が  $\text{InGaAlN}$  であって、かつストライプの長手方向が該  $\text{InGaAlN}$  の  $(1-100)$  面と垂直であることを特徴とする請求項3記載の半導体結晶の製造方法。

【請求項5】 基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面を覆う予備半導体結晶を形成し、この予備半導体結晶の表面を凹凸面とし、該予備半導体結晶凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面が半導体結晶で覆われると共に、この半導体結晶層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において前記積層体から前記半導体結晶を分離することを特徴とする半導体結晶の製造方法。

【請求項6】 請求項5の半導体結晶の製造方法において、予備半導体結晶を形成する工程を複数回繰り返すことを特徴とする半導体結晶の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体結晶及びその作製方法に関し、特に転位欠陥が生じ易い半導体材料を用いる場合に有用な構造及び方法に関するものである。

## 【0002】

【従来の技術】  $\text{GaN}$  系材料を結晶成長する場合、 $\text{GaN}$  系材料は格子整合する基板がないためにサファイア、 $\text{SiC}$ 、スピネル、最近では  $\text{Si}$  などの格子整合しない基板を用いている。しかしながら、格子整合しないことに起因し作製した  $\text{GaN}$  の膜中には  $10^{10}$  個/ $\text{cm}^2$  もの転位が存在している。近年高輝度の発光ダイオード、半導体レーザーなどが実現されているが、特性向上を図るためには転位密度の低減が望まれている。

## 【0003】

【発明が解決しようとする課題】 格子定数などの差に起因した転位などの欠陥を生じさせないためには、結晶成長する材料と同じ結晶を用いばよい。例えば  $\text{GaN}$  系半導体を結晶成長させるには  $\text{GaN}$  基板を用いるとよい

が、まだ大型のものが得られておらずサファイアなどを基板として用いているのが実状である。近年、サファイア上に成長した  $\text{GaN}$  下地層上に気相成長するにあたり、前記下地層に部分的なマスクを設けて選択成長する事でラテラル方向の結晶成長を行わせ、転位密度を低減した高品質な結晶を得る方法が提案されている（例えば特開平10-312971）。この膜を厚く成長し基板を分離除去する事で  $\text{GaN}$  結晶を得る事ができるが、格子定数の差や熱膨張係数の差によりクラックが発生したり、基板が割れるといった問題が生じ大面積の基板が得られていなかった。

【0004】 また上記方法ではサファイアベース基板上にバッファ層材料ならびに  $\text{GaN}$  系材料を結晶成長させ、いったん成長炉から取り出し溝加工を施し、その後再び結晶成長を行うというステップが必要となることから、製造プロセスが複雑化し新たな問題が発生する。作業工程が多くなりコストがかかるなどの問題を有していた。

【0005】 本発明は上記問題に鑑み、大面積の  $\text{GaN}$  結晶を得る事を目的にしている。また通常のマスク層を用いる  $\text{ELO}$  成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ることを目的としている。

## 【0006】

【課題を解決するための手段】 本発明の半導体結晶の製造方法は、基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面が半導体結晶で覆われると共に、この半導体結晶層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において半導体結晶と基板とを分離することを特徴とするものである。この場合、上記半導体結晶が  $\text{InGaAlN}$  であることが望ましい。

【0007】 上記基板の結晶成長面の凸部を、平行なストライプ形状からなる凸部とすることが好ましい。さらに、上記半導体結晶が  $\text{InGaAlN}$  であって、かつストライプの長手方向が該  $\text{InGaAlN}$  の  $(1-100)$  面と垂直であるストライプとすることがより好ましい。

【0008】 本発明にかかる他の半導体結晶の製造方法は、基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面を覆う予備半導体結晶を形成し、この予備半導体結晶の表面を凹凸面とし、該予備半導体結晶凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面が半導体結晶で覆われると共に、この半導体結晶層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において前記積層体から前記半導体結晶を分離することを特徴とするものである。この場合、前記予備半導体結晶を形成する工程を複数回繰り返すようにしても良い。

## 【0009】

【作用】本発明は、半導体結晶を成長させるにあたり、パッファ層等すら形成していない状態の基板に対して凹凸面を設け、結晶成長当初から実質的に低転位密度領域を形成可能なラテラル成長を起こす素地面を予め提供しておく点に第一の特徴を有する。かかる基板を用いて気相成長させた場合、成長初期には基板表面全体に原料が拡散するが、凹部上では結晶成長が生じ難いため、凸部での成長が優位となり、ひいては凸部から成長した半導体結晶層に覆われる。この凸部の成長ではC軸と平行方向のいわゆるラテラル成長が起き、低転位密度領域の形成が達成されることになる。このように低転位密度領域を有する半導体結晶の成長が、一回行うだけで可能となる。

【0010】また凹部での成長を抑えることができる結果、基板と半導体結晶との間に空洞部が形成されることになる。従って、基板と半導体結晶との接触面積を少なくできるため、格子定数差や熱膨張係数差に起因する歪を大幅に低減する事が可能となる点に第二の特徴を有する。このためクラックや割れの発生を抑えることができ、大面積の半導体結晶を得る事ができるようになる。

加えて、上記歪は基板と半導体結晶の接触部分に集中するため、基板と半導体結晶の分離が効率良く行えるという特徴も有するものである。

## 【0011】

【発明の実施の態様】以下図面に基いて、本発明の実施態様につき詳細に説明する。図1(a)乃至(d)は本発明に係る半導体結晶の製造方法を説明するための断面図である。図において、1は基板であり、2は該基板1上に気相成長された半導体結晶をそれぞれ示している。基板1の結晶成長面には凸部11及び凹部12が形成されており、前記凸部11の上方部から専ら結晶成長が行われるような構成されている。また凹部12は、その層からは実質的に成長し得ないマスク3で覆われている。

【0012】本発明でいう基板とは、各種の半導体結晶層を成長させるためのベースとなる基板であって、格子整合のためのパッファ層等も未だ形成されていない状態のものを言う。このような基板としては、サファイア(C面、A面、R面)、SiC(6H、4H、3C)、Ga<sub>2</sub>N、Si、スピネル、ZnO、GaAs、NGOなどをを用いることができるが、発明の目的に対応するならばこのほかの材料を用いてもよい。またある面方位の基板でなくてもその面からoffしていてもよい。

【0013】基板1上に成長される半導体結晶2としては種々の半導体材料を用いることができ、 $A_{1-x}B_xGa_{1-y}In_yN$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ) ではx、yの組成比を変化させたGa<sub>2</sub>N、In<sub>0.5</sub>Ga<sub>0.05</sub>Nなどが例示できる。

【0014】基板1の結晶成長面に形成される凸部11は、その上方部から専ら結晶成長が行われるような形状

とすると有効である。「上方部から専ら結晶成長が行われる」とは、凸部11の頂点ないし頂面及びその近傍での結晶成長が優勢に行い得る状態をいい、成長初期には凸部11近傍意外の部分での成長が生じてもよいが最終的には凸部11での結晶成長が優勢となることを指す。

【0015】また、凹部12上に作製するマスク3はその層からは実質的に成長し得ないようにしていればよい。「その層からは実質的に成長し得ない」とは結晶成長が生じ難い状態のことをいい、成長初期には凹部12のマスク3上での成長が生じてもよいが最終的には凸部11の結晶成長が優勢となることを指す。つまり上方部を起点としたラテラル成長により低転位密度領域が形成されればよい。これにより、従来のマスクを要するELOと同様の効果を得ることができる。凹部12上に形成するこのようなマスク3としては、例えばSiO<sub>2</sub>、SiNx、TiO<sub>2</sub>、ZrO<sub>2</sub>などが利用できる。またこれら材料の積層構造とすることも可能である。なおここでは凹部12にマスク3を形成した例を示したが、マスク3を形成せずに凹凸形状のみの基板を用いてもよい。以下、本発明の半導体結晶の製造方法を、図1～2を用いて順を追って説明する。

【0016】図1、2は凸部をストライプ状に形成したものの横断面図である。図1では(a)図に示すように溝幅Bに対し溝深さ(凸部高さ)hが深い場合を例示している。この場合原料ガスが凹部12及びその近傍に充分至らず、また凹部12にはマスク3を施していることもあって、凸部12の上方部からしか結晶成長が起こらない。図1(b)において、20はこの結晶成長開始時の結晶単位を示している。このような状況下、結晶成長が続くと凸部11の上方部を起点とし横方向に成長した膜がつながって、やがて図(c)のように凹部に空洞部13を残したまま、基板1の凹凸面を覆うように半導体結晶2が形成されることになる。この場合、横方向に成長した部分、つまり凹部12上部には低転位密度領域が形成され、作製した膜の高品質化が図れている。

【0017】このようにして基板1と半導体結晶2とからなり、両者の間に空洞部13を備える積層体を作製したら、図1(d)に示すように、空洞部13が存在する部分、すなわち基板1の凸部11の部分で、基板1と半導体結晶2とを分離することで、必要とする低転位化された半導体結晶2が得られるものである。この分離の方法としては、研磨などの方法が代表的に挙げられるが、半導体結晶を取り出せれば特に限定はない。

【0018】図2は、溝幅Bに対し溝深さ(凸部高さ)hが非常に浅い場合、もしくは凸部11の幅Aに対し溝幅Bが非常に広い場合を例示している(図2(a)参照)。この場合、原料ガスは凹部12のマスク3上及びその近傍にまで到達し得るため凹部12での成長が生じる可能性はある。しかし、凸部上部での成長に比べ成長速度は非常に遅い。これはマスク3上に到達した原料が

再びガス中に脱離する割合が多いからである。而して、凸部 11 の上方部からの横方向成長が生じ、図 2 (b) に示すように、凸部 11 の上方部と凹部 12 表面に結晶単位 20 が生成される状態となる。このような状況下、結晶成長が続くと凸部 11 の上方部を起点とし横方向に成長した膜がつながって、やがて図 2 (c) のように基板 1 の凹凸面を覆うように半導体結晶 2 が形成されることになる。この場合、凸部 11 を起点とし横方向成長した部分が図 1 に比べ多いため、低転位密度領域の割合が多く、作製した半導体結晶 2 全体でみると、図 1 の例よりも高品質化が図れていることになる。このようにして積層体を作製したら、図 2 (d) に示すように、空洞部 13 が存在する部分、すなわち基板 1 の凸部 11 の部分で、基板 1 と半導体結晶 2 とを分離することで、必要とする低転位化された半導体結晶 2 が得られるものである。

【0019】本発明にあっては、このような凸部 11 であれば特に制限はなく各種の形状を採用することができる。具体的には、上述したような溝幅 B に対し溝深さ (凸部高さ) h が深い場合、溝幅 B に対し溝深さ (凸部高さ) h が浅い場合、さらに溝幅 B に対し溝深さ (凸部高さ) h が非常に浅い場合、もしくは凸部 11 の幅 A に対し溝幅 B が非常に広い場合など種々の組み合わせを行う事ができる。特に凸部 11 の幅 A に対し溝幅 B が非常に広い場合、凸部 11 上部を起点とし横方向成長した部分が多くなり、低転位密度領域の割合が多く形成される点で好ましい。

【0020】このような凹凸面の形成の態様としては、島状の点在型の凸部、ストライプ型の凸条からなる凸部、格子状の凸部、これらを形成する線が曲線である凸部などが例示できる。これら凸部の態様の中でも、ストライプ型の凸条を設ける態様のものは、その作製工程を簡略化できると共に、規則的なパターンが作製容易である点で好ましい。ストライプの長手方向は任意であってよいが、基板上に成長させる材料を GaN とした場合、GaN 系材料の <11-20> 方向や <1-100> 方向が好ましい。特に <1-100> 方向にした場合、{1-101} 面などの斜めファセットが形成され難いため横方向成長が速くなる。この結果凹凸面を覆うのが速くなる点で特に好ましい。

【0021】図 1 に示すように、本発明にかかる半導体結晶の製造方法によれば、基板 1 と半導体結晶 2 との間に空洞部 13 があり、両者の接触面積を小さくできるため、半導体結晶 2 中における格子定数差や熱膨張係数差に起因する歪を低減できる。この歪の低減は、基板 1 としてサファイアを採用し、その上に半導体結晶 2 としての GaN 系材料を厚く成長した場合に顕著に発生する反りを低減させる効果がある。特に、従来法では基板上に GaN 系材料を結晶成長する際に熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない間

題があったが、空洞部 13 の介在による歪低減効果により、この問題を低減できる。

【0022】このように基板 1 とその上に成長する半導体結晶 2 との接触面積を小さくできる事を利用すると、膜厚を  $10\mu\text{m}$  以上、好ましくは  $100\mu\text{m}$  以上になるまで成長した場合は、この小さい接触部に応力が集中する結果、この部分から基板 1 と半導体結晶 2 との分離が容易となる。こうして GaN などの基板が作製可能となる。

【0023】以上、基板 1 の上に半導体層 2 を一層だけ成長する場合について説明したが、転位欠陥をより少なくするために、同様な工程を 2 回繰り返すようにしてもよい。即ち、図 3 に示すように、上記と同様な手法にて基板 1 に凸部 11a 及び凹部へのマスク 3a を設け、その凹凸面を覆うように先ず予備半導体層 2a の結晶成長を行った後に、該予備半導体層 2a の表面を凹凸面とする加工を施し、その上に気相成長により予備半導体層 2a の凸部 11 の上方部から専ら結晶成長するよう、マスク 3 を設けて必要とする半導体結晶 2 を形成することもできる。この場合、特に基板 1 の凸部 11a と上記予備半導体層 2a に形成する凸部 11 の位置とを、垂直方向にずらす態様にすれば、半導体結晶 2 には予備半導体層 2a の凸部 11a 上部にある多くの転位が伝播しないことになる。つまり、かかる構成とすれば、半導体結晶 2 全域を低転位密度領域とすることができ、より高品質の半導体層が得られるものである。しかる後、かかる積層体から半導体結晶 2 を、空洞部 13 の存在部分で分離することで、必要とする半導体結晶 2 を取り出すことができる。

【0024】上記の実施例において、予備半導体層 2a の表面をさらに凹凸面とし、その上に同様に気相成長法により形成される第 2 の予備半導体層を形成するようにしても良い。或いは、さらに同様の工程を繰り返して、複数の予備半導体層を多重的に形成するようにしても良い。このような構成とすれば、上述したような上下間の凸部の位置調整を意図的に行わずとも、層を重ねる毎に伝播する転位を漸減させることができ、最終的に成長される半導体結晶をより高品質化することができる。

【0025】凸部の形成は、例えば通常のリソグラフィ技術を使って凸部形状に応じてパターン化し、RIE 技術等を使ってエッチング加工を行うことで作製できる。

【0026】基板上に半導体層の結晶成長を行う方法は HVPE、MOCVD、MBE 法などがよい。厚膜を作製する場合は HVPE 法が好ましいが、薄膜を形成する場合は MOCVD 法が好ましい。

【0027】基板上に半導体層の結晶成長を行う時の成長条件 (ガス種、成長圧力、成長温度など) は、本発明の効果が出る範囲内であれば、目的に応じ使い分ければよい。

## 【0028】

【実施例】〔実施例1〕c面サファイア基板上にフォトレジストのパターニング（幅：2 $\mu$ m、周期：6 $\mu$ m、ストライプ方位：ストライプ延伸方向がサファイア基板の<11-20>方向）を行い、RIE（Reactive Ion Etching）装置で2 $\mu$ mの深さまで断面方形型にエッチングした。続いて基板全面にSiO<sub>2</sub>膜を0.1 $\mu$ m堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積されたSiO<sub>2</sub>膜を除去した。このようにして基板凹部にマスク層を施した。その後、MOVPE装置に基板を装着し、水素雰囲気下で1100℃まで昇温し、サーマルエッチングを行った。その後温度を500℃まで下げ、3族原料としてトリメチルガリウム（以下TMG）を、N原料としてアンモニアを流し、GaN低温バッファ層を成長した。つづいて温度を1000℃に昇温し原料としてTMG・アンモニアを、ドーパントとしてシランを10h流し、n型GaN層を30 $\mu$ m成長した。

【0029】得られたGaN結晶を観察したところ、やや反りの発生があるもののクラックや割れもなく鏡面のものが得られた。次に成長後の断面を観察すると、基板凹部マスク上に若干の成長の痕跡は見られるものの、図2（c）に示すように凹部に空洞部13を残したまま基板1の凹凸面を覆い、平坦になったGaN結晶であった。

【0030】〔比較例1、2〕比較のために、通常のc面サファイア基板上に同じ成長条件で成膜したGaN層と（比較例1）、同じパターンのSiO<sub>2</sub>マスクを使ってELO成長したGaN膜（比較例2）を用意した。成長後装置から取り出したところ、何も施さずに成長したサンプルは小さなかけらに割れており多数のクラックが入っていた。またELO成長したものは、割れは無いものの大きな反りと多数のクラックが入っていることが認められた。

【0031】実施例1で得られたGaN結晶及び比較例2のELO成長で得られたGaN結晶を基板から分離する作業を行った。まずGaN結晶面を下にし、ワックスで固定した。その後サファイア基板を研磨にて除去した。比較例2のELO成長したGaN結晶は、大きな反りのため均一なサファイアの研磨ができなかった。研磨の後、GaN結晶をワックスからはがした所、実施例1で作製したサンプルはGaN結晶が取り出せたものの比較例2のELO成長したサンプルはGaN結晶が小破片に割れてしまった。

【0032】〔実施例2〕実施例1の内、サファイア基板の分離を行っていないGaN結晶を予備結晶とし、その上に本結晶を成長させた。まず、GaN予備結晶にフォトレジストのパターニング（幅：2 $\mu$ m、周期：6 $\mu$ m、ストライプ方位：GaN基板の<1-100>）を行い、RIE装置で2 $\mu$ mの深さまで断面方形型にエッチングした。この時のパターニングは予備結晶の転位の多い部分を凹部となるような配置とした。続いて基板全面にSiO<sub>2</sub>膜を0.1 $\mu$ m堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積されたSiO<sub>2</sub>膜を除去した。このような加工後、MOVPE装置に基板を装着し、窒素、水素、アンモニア混合雰囲気下で1000℃まで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGaN成長における4 $\mu$ m厚さの成長に相当する時間とした。その後サンプルをHVPE装置に移し成長を行い、トータル膜厚200 $\mu$ mのGaN結晶とした。

【0033】その後実施例1と同様にサファイア基板を研磨除去しGaN結晶を得た。成長後表面のピットの評価を行ったところ8 $\times$ 10<sup>5</sup> cm<sup>-3</sup>にピットが減少している事がわかった。このように本実施例を繰り返す事により転位密度の低い高品質なGaN結晶が得られる事が確認できた。

## 【0034】

【発明の効果】以上説明した通りの本発明の半導体結晶の製造方法によれば、基板に対して凸部を設け、凹部にその層からは実質的に成長し得ないマスクで覆うことで、結晶成長当初から実質的に低転位密度領域を形成可能なラテラル成長を優先的に行わせることができる。また基板と結晶成長層の接触面積が少ないことから残留歪の抑制などの効果により大面積の半導体結晶層の作製が実現できる。

【0035】従って通常の成長やマスク層を形成するELOの厚膜成長では十分なし得なかった大面積成長、軸の微小チルティングによるラテラル成長部の合体部分の新たな欠陥の発生の問題やオートドーピングの問題を解消できる。また、基板に上記加工を施すだけで、一回の成長でバッファ層成長から発光部等の半導体結晶層の成長を連続して行えるので、製造プロセスの簡略化が図れるという利点もある。特に凹部での成長を抑えることができるため、ラテラル成長の効率が良くなる利点がある。このように本発明は、半導体結晶の大面積化、特性向上、低コスト化の面において極めて有用な効果を奏する。

## 【図面の簡単な説明】

【図1】本発明にかかる半導体結晶の製造方法を説明するための断面図である。

【図2】本発明にかかる半導体結晶の製造方法の他の実施例を説明するための断面図である。

【図3】本発明にかかる半導体結晶の製造方法の他の実施例を説明するための断面図である。

## 【符号の説明】

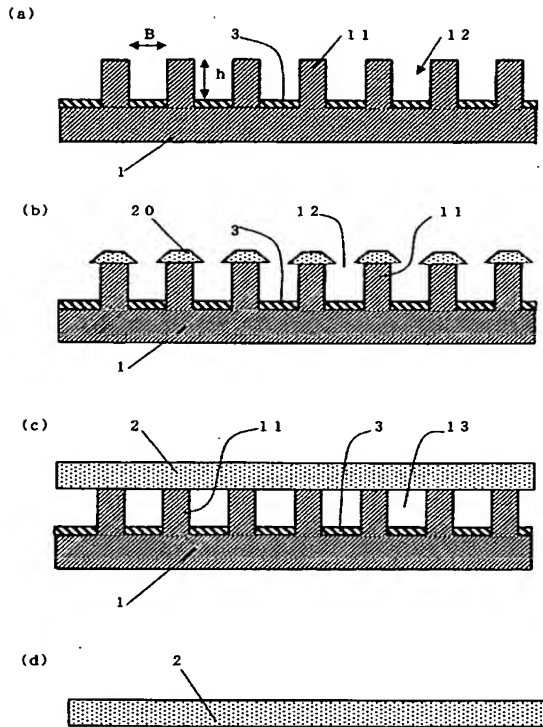
1 基板

11 凸部

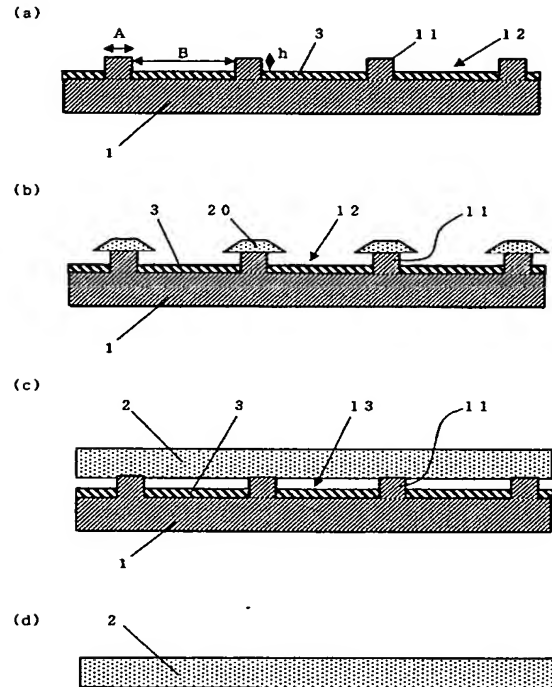
- 12 凹部  
13 空洞部  
2 半導体結晶

- 2a 予備半導体結晶  
3 マスク

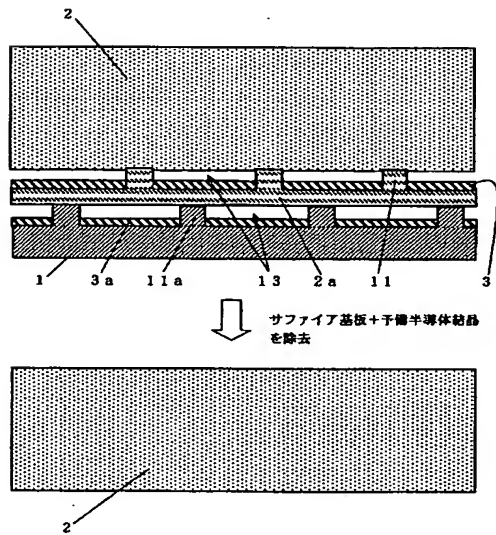
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 湖東 雅弘

兵庫県伊丹市池尻4丁目3番地 三菱電線  
工業株式会社伊丹製作所内

Fターム(参考) 5F041 AA40 CA23 CA34 CA40 CA46  
CA65 CA74 CA75  
5F045 AA04 AB14 AB17 AB18 AB32  
AC01 AC08 AC12 AD09 AD14  
AF02 AF03 AF04 AF09 AF11  
AF13 BB08 BB12 DA53 DB02  
EB15 HA03  
5F073 CA07 CB05 DA05 DA25 DA35